

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-191635

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G02F 1/133

(21)Application number : 05-331461

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.12.1993

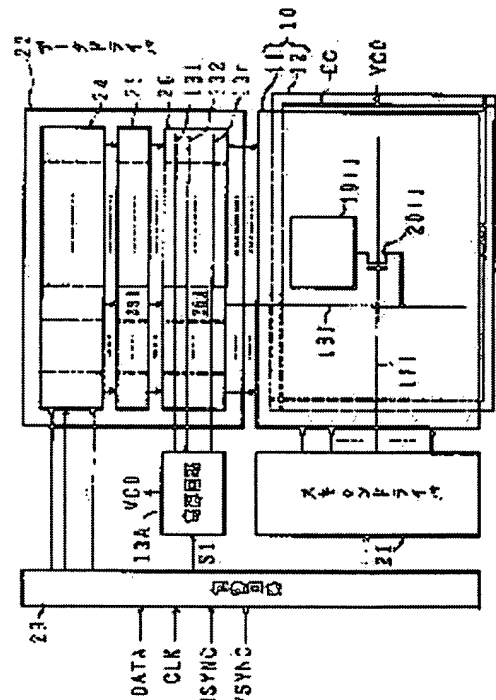
(72)Inventor : ODA MASAMI  
HARAGUCHI MUNEHIRO  
YAMAMOTO AKIRA

## (54) DRIVING METHOD FOR ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY PANEL

### (57)Abstract:

**PURPOSE:** To prevent deterioration in picture quality due to a difference in the distortion quantity of a gradation potential with a display state by correcting the gradation voltage so that the distortion of the gradation potential becomes zero right before a common potential is inverted.

**CONSTITUTION:** As for respective gradation potentials applied to 1st (M)th data bus lines 18j, distortion when the common potential is inverted is detected on the basis of currents flowing through the data bus lines 18j, and the gradation potentials are corrected according to the detected distortion so that the distortion of the gradation potentials becomes zero right before the common potential is inverted, and then applied to the data bus lines 18j. Thus, the gradation potentials are corrected so that the distortion of the gradation potentials becomes zero right before the common potential is inverted, so when the gradation potentials are held on display electrodes 19ij, the distortion quantity of the gradation potentials which are distorted by the liquid crystal capacitance between the data lines and a common electrode becomes nearly zero irrelevantly to the display state to prevent the deterioration in picture quality.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成7年(1995)7月28日

審査請求 未請求 請求項の数 5 OL (全 13 頁)

## 【特許請求の範囲】

【請求項1】 第1基板上(11)で、第1～Nスキャンバスライン(17i)と第1～Mデータバスライン(18j)とが互いに絶縁されて交差しマトリックス状に配列され、 $i=1\sim N$ 、 $j=1\sim M$ なる第i行第j列の表示電極(19ij)が第ijスイッチ素子(20ij)を通して該第jデータバスラインに接続され、かつ、該第ijスイッチ素子の制御入力端が該第iスキャンバスラインに接続され、該第1基板と対向する第2基板(12)上にコモン電極(EC)が形成され、該表示電極と該コモン電極の間に液晶が介在するアクティブマトリックス型液晶表示パネル(10)に対し、第1～Nスキャンバスラインを1本ずつ順にアクティブにし、第1スキャンバスラインがアクティブのときに第1行の表示データに応じた階調電位を該第1～Mデータバスラインに印加し、アクティブにする該スキャンバスラインを選択する毎に反転するコモン電位を該コモン電極に印加するアクティブマトリックス型液晶表示パネル駆動方法において、

該第1～Mデータバスラインに印加される各階調電位について、該コモン電位が反転する際の歪みを該データバスラインに流れる電流に基づいて検出し、次に該コモン電位が反転する直前に該階調電位の該歪みが0になるようにするために、検出した該歪みに応じて該階調電位を補正し、補正した該階調電位を該データバスラインに印加する、ことを特徴とするアクティブマトリックス型液晶表示パネル駆動方法。

【請求項2】 前記コモン電極(EC)が反転する際の前記コモン電位の歪みを該コモン電極へ流れる電流に基づいて検出し、次に該コモン電位が反転する直前に該コモン電位の歪みが0になるようにするために、検出した該歪みに応じて該コモン電位を補正し、補正した該コモン電位を該コモン電極に印加する、ことを特徴とする請求項1記載のアクティブマトリックス型液晶表示パネル駆動方法。

【請求項3】 第1基板上(11)で、第1～Nスキャンバスライン(17i)と第1～Mデータバスライン(18j)とが互いに絶縁されて交差しマトリックス状に配列され、 $i=1\sim N$ 、 $j=1\sim M$ なる第i行第j列の表示電極(19ij)が第ijスイッチ素子(20ij)を通して該第jデータバスラインに接続され、かつ、該第ijスイッチ素子の制御入力端が該第iスキャンバスラインに接続され、該第1基板と対向する第2基板(12)上にコモン電極(EC)が形成され、該表示電極と該コモン電極の間に液晶が介在するアクティブマトリックス型液晶表示パネル(10)に対し、第1～Nスキャンバスラインを1本ずつ順にアクティブにし、第1スキャンバスラインがアクティブのときに第1行の表示データに応じた階調電位を該第1～Mデータバスライ

ンに印加し、アクティブにする該スキャンバスラインを選択する毎に反転するコモン電位を該コモン電極に印加するアクティブマトリックス型液晶表示パネル駆動方法において、

1行分の該表示データに基づいて各階調電位の該第1～Mデータバスラインへの印加本数を印加前に予め求めておき、次に該コモン電位が反転する直前に該階調電位の歪みが0になるようにするために、該印加本数に応じて該階調電位を補正し、補正した該階調電位を該第1～Mデータバスラインに印加する、

ことを特徴とするアクティブマトリックス型液晶表示パネル駆動方法。

【請求項4】 1行分の前記表示データに基づいて前記第1～Mデータバスライン(18j)へ印加する階調電位の総和に比例した値を印加前に予め求めておき、前記コモン電位が反転する直前に該コモン電位の歪みが0になるようにするために、該値に応じて該コモン電位を補正し、補正した該コモン電位を前記コモン電極(EC)に印加する、

ことを特徴とする請求項3記載のアクティブマトリックス型液晶表示パネル駆動方法。

【請求項5】 前記コモン電位の立ち上がりとしち下がりの傾斜を緩やかにする、

ことを特徴とする請求項1乃至4のいずれか1つに記載のアクティブマトリックス型液晶表示パネル駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、コモン電極に印加する電位を1走査時間毎に反転させるアクティブマトリックス型液晶表示パネル駆動方法に関する。

## 【0002】

【従来の技術】図12に示す如く、アクティブマトリックス型の液晶表示パネル10は、基板11上にゲートバスラインとデータバスライン(不図示)とが絶縁膜を介し互いに交差しマトリックス状に配列され、基板11と対向する基板12上に面状のコモン電極ECが形成されている。ゲートバスラインには、表示データの階調に応じて、電源回路13からの階調電位V10～V80の1つが選択されて印加され、コモン電極ECには電源回路13からのコモン電位VC0が印加される。

【0003】液晶表示パネル10の消費電力を低減するために、図13(A)に示す如く、コモン電位VC0を1H(1走査時間)毎に電位VC1とVC2の一方から他方へ反転する反転駆動法が用いられている。例えば黒表示の場合、コモン電位VC0が反転する毎にデータバスラインには階調電位V10と階調電位V80とが交互に印加され、液晶画素には矢印で示す電圧が印加される。図13(A)に示す階調電位V10～V80及びコモン電位VC0は、電源回路13の出力を液晶表示パネル10から切り離れたときの電源回路13の出力電位で

ある。

【0004】

【発明が解決しようとする課題】データバスラインとコモン電極ECとの間の液晶容量により、コモン電位VC0が反転する際にデータバスラインの電位がその影響を受けて歪む。すなわち、データバスラインとコモン電極ECとの間にクロストークが生ずる。この電位歪みは、ゲートバスラインで選択された表示ラインの表示状態により異なる。例えば図12において、液晶表示パネル10の中央部に黒の塗りつぶし矩形14を表示し、その他の部分を白表示とする場合を考える。表示ライン15を選択して表示データを書き込むときには、表示ライン15の全面素子について電源回路13からの階調電位V10と階調電位V80とが交互にデータバスラインに印加されるが、表示ライン16を選択して表示データを書き込むときには、階調電位V10と階調電位V80とは表示ライン16のうち矩形14の両側の部分のみしかデータバスラインに印加されない。このため、階調電位V10と階調電位V80とは、表示ライン16が選択されたときよりも表示ライン15が選択されたときの方が、上記クロストークによる階調電位V10及びV80の電圧歪みが大きくなる。

【0005】図13(B)において、V1D及びV8Dは、表示ライン15が選択されたときのデータバスライン18jの電位を示し、V1E及びV8Eは、表示ライン16が選択されたときの白表示の部分のデータバスライン18jの電位を示す。このように、表示状態により電圧波形の歪みに差が生ずることから、表示ライン16上の白表示部分よりも表示ライン15上の白表示の方が明るくなるという表示むらが生じて、画質が劣化する。

【0006】矩形14が白表示でその他の部分が黒表示の場合にも同様の問題が生ずる。本発明の目的は、上記問題点を鑑み、コモン電位が反転する際に、データバスラインとコモン電極との間の液晶容量により階調電位が歪み、歪み量が表示状態により異なって画質が劣化することを防止することができるアクティブマトリックス型液晶表示パネル駆動方法を提供することにある。

【0007】

【課題を解決するための手段及びその作用】第1発明では、例えば図1及び図2に示す如く、第1基板上11で、第1～Nスキャンバスライン17iと第1～Mデータバスライン18jとが互いに絶縁されて交差しマトリックス状に配列され、 $i=1\sim N$ 、 $j=1\sim M$ なる第i行第j列の表示電極19ijが第jスイッチ素子201jを通して第jデータバスライン18jに接続され、かつ、第jスイッチ素子201jの制御入力端が第1スキャンバスライン17iに接続され、第1基板と対向する第2基板12上にコモン電極ECが形成され、表示電極19ijとコモン電極ECの間に液晶が介在するアクティブマトリックス型液晶表示パネル10に対し、第

1～Nスキャンバスライン17iを1本ずつ順にアクティブにし、第iスキャンバスライン17iがアクティブのときに第1行の表示データに応じた階調電位を第1～Mデータバスライン18jに印加し、アクティブにするスキャンバスライン17iを選択する毎に反転するコモン電位をコモン電極ECに印加するアクティブマトリックス型液晶表示パネル駆動方法において、第1～Mデータバスライン18jに印加される各階調電位について、該コモン電位が反転する際の歪みをデータバスライン18jに流れる電流に基づいて検出し、次に該コモン電位が反転する直前に該階調電位の該歪みが0になるようにするために、検出した該歪みに応じて該階調電位を補正し、補正した該階調電位をデータバスライン18jに印加する。

【0008】この第1発明によれば、コモン電位が反転する直前に階調電位の歪みが0になるように該階調電位が補正されるため、表示電極に該階調電位が保持される時点で、データバスラインとコモン電極との間の液晶容量により歪む該階調電位の歪み量が表示状態によらず略0となり、表示状態により同一階調の明るさが変化するという画質の劣化を防止することができる。

【0009】第1発明の第1態様では、例えば図9に示す如く、コモン電極が反転する際のコモン電位の歪みをコモン電極ECへ流れる電流に基づいて検出し、次に該コモン電位が反転する直前に該コモン電位の歪みが0になるようにするために、検出した該歪みに応じて該コモン電位を補正し、補正した該コモン電位をコモン電極ECに印加する。

【0010】この第1態様によれば、コモン電位反転の際にコモン電位が階調電位に引きずられて歪むのが補正され、表示状態により同一階調の明るさが変化することをより完全に防止することができる。第2発明のアクティブマトリックス型液晶表示パネル駆動方法では、例えば図1及び図8に示す如く、1行分の表示データに基づいて各階調電位の第1～Mデータバスライン18jへの印加本数を印加前に予め求めておき、次にコモン電位が反転する直前に該階調電位の歪みが0になるようにするために、該印加本数に応じて該階調電位を補正し、補正した該階調電位を第1～Mデータバスライン18jに印加する。

【0011】この第2発明では、階調電位をフィードバック制御で補正しているので、フィードバック制御を行っている上記第1発明よりも制御の速応性に優れている。第2発明の第1態様では、例えば図1及び図10に示す如く、1行分の表示データに基づいて第1～Mデータバスライン18jへ印加する階調電位の総和に比例した値を印加前に予め求めておき、コモン電位が反転する直前に該コモン電位の歪みが0になるようにするために、該値に応じて該コモン電位を補正し、補正した該コモン電位をコモン電極ECに印加する。

【0012】この第1態様によれば、コモン電位をフィードフォワード制御で補正しているの、フィードバック制御を行っている上記第1発明の第1態様よりも制御の速応性に優れている。第1及び第2の発明の第2態様では、例えば図11に示す如く、コモン電位の立ち上がり及び立ち下りの傾斜を緩やかにしている。

【0013】この第2態様によれば、コモン電位の立ち上がり及び立ち下りの傾斜を緩やかにあいているので、該コモン電位が反転する際の階調電位への影響を小さくすることができる。

【0014】

【実施例】以下、図面に基いて本発明の実施例を説明する。

【第1実施例】図1は、本発明の第1実施例のアクティブマトリックス型液晶表示装置を示す。

【0015】アクティブマトリックス型の液晶表示パネル10は、基板11上にゲートバスライン17i、 $i=1\sim N$ とデータバスライン18j、 $j=1\sim M$ とが絶縁膜を介し互いに交差してマトリクス状に配列され、基板11と対向する基板12上に面状のコモン電極ECが形成されている。第i行第j列の表示電極19ijは、薄膜トランジスタ(TFT)20ijのソース・ドレインを通過してデータバスライン18jに接続されている。TFT20ijのゲートは、ゲートバスライン17iの一部となっている。ゲートバスライン17i、 $i=1\sim N$ の一端は、スキンドライバ21の出力端に接続され、データバスライン18j、 $j=1\sim M$ の一端は、データドライバ22の出力端に接続されている。制御回路23は、外部から供給される階調表示データDATA、ドットクロックCLK、水平同期信号HSYNC及び垂直同期信号VSYNCに基いて、スキンドライバ21及びデータドライバ22を制御する。

【0016】スキンドライバ21は、制御回路23からの信号により、ゲートバスライン17iを $i=1\sim N$ の順に1本ずつアクティブにする。ゲートバスライン17iがアクティブになると、第i行のTFT20i1 $\sim$ 20iMが同時にオンになり、データバスライン181 $\sim$ 18Mがそれぞれ表示電極19i1 $\sim$ 19iMと導通する。

【0017】データドライバ22は、M桁で1桁が $n=2^m$ なるmビットのシフトレジスタ24と、M桁で1桁がmビットのレジスタ25と、第1 $\sim$ Mセクタからなるセクタ26とを有する。シフトレジスタ24には、制御回路23から表示データDATAがドットクロックCLKに同期して供給され、シフトされる。シフトレジスタ24に1行分の表示データが転送されると、これがレジスタ25に保持される。レジスタ25の第j桁のデータに応じて、第jセクタ26jにより階調電位供給線131 $\sim$ 13nの1つが選択され、これがデータバスライン18jと導通する。階調電位供給線131 $\sim$ 13

nの一端はそれぞれ、階調電位V0 $\sim$ Vnを出力する電源回路13Aの出力端に接続されている。

【0018】電源回路13Aの構成例を、図2に示す。階調電圧源27は、n階調表示のために $V10<V20<\dots<Vn0$ なる階調電位V10 $\sim$ Vn0を生成して出力し、それぞれ補正回路281 $\sim$ 28nの入力端Eに供給する。補正回路281 $\sim$ 28nの出力端Fはそれぞれ、階調電位供給線131 $\sim$ 13nに流れる電流に比例した電圧を検出するための抵抗R1 $\sim$ Rnを介して図1の階調電位供給線131 $\sim$ 13Nに接続されている。抵抗R1 $\sim$ Rnの一端及び他端はそれぞれ、歪み検出回路291 $\sim$ 29nの入力端A及びBに接続されている。歪み検出回路291 $\sim$ 29nはそれぞれ、抵抗R1 $\sim$ Rnの端子間電圧に基いて階調電位V1 $\sim$ Vnの電圧歪みを検出し、これを歪み電圧 $\Delta V1\sim\Delta Vn$ として出力端Cから出力する。歪み検出回路291 $\sim$ 29nの出力端Cはそれぞれ、補正回路281 $\sim$ 28nの入力端Dに接続されている。補正回路281 $\sim$ 28nはそれぞれ、階調電位V10 $\sim$ V1nを歪み電圧 $\Delta V1\sim\Delta Vn$ で補正し、階調電位V1A $\sim$ VnAとして出力する。階調電位V1A $\sim$ VnAはそれぞれ、抵抗R1 $\sim$ Rnを介し階調電位V1 $\sim$ Vnとして図1の階調電位供給線131 $\sim$ 13nに印加される。

【0019】歪み検出回路291 $\sim$ 29nは互いに同一構成であり、歪み検出回路291の構成例を図3に示す。歪み検出回路291は、入力端AとBの間の電圧V1-V1Aを直線性よく増幅する増幅回路30と、増幅回路30の出力を反転増幅する反転回路31と、オフセット電圧を調節し増幅する増幅回路32とからなる。増幅回路30は、演算増幅器33、34と、抵抗R11 $\sim$ R15とからなり、可変抵抗R15はゲイン調節用である。反転回路31は、演算増幅器35と、抵抗R16 $\sim$ R19とからなる。増幅回路32は、演算増幅器36と、抵抗R20 $\sim$ R22とからなり、可変抵抗R21はオフセット調節用である。

【0020】図2に示す補正回路281 $\sim$ 28nは互いに同一構成であり、補正回路281の構成例を図4に示す。補正回路281は、積分回路40A及び40Bの入力端が共に補正回路281の入力端Dに接続され、積分回路40A及び40Bの出力端がそれぞれオフセット電圧加算増幅回路41A及び41Bの入力端に接続され、オフセット電圧加算増幅回路41A及び41Bの出力端がそれぞれアナログセクタ42の一方及び他方の入力端に接続されている。アナログセクタ42の出力端及び補正回路281の入力端Eは、加算回路43の一方及び他方の入力端に接続され、加算回路43の出力端は、補正回路281の出力端Fに接続されている。積分回路40Aは、演算増幅器44Aと、抵抗R30A $\sim$ R32Aと、コンデンサC1Aと、コンデンサC1Aに蓄積された電荷を放電するためのアナログスイッチ45Aとか

らなる。オフセット電圧加算増幅回路41Aは、演算増幅器46Aと、抵抗R33A~R36Aとからなり、可変の抵抗R34A及びR36Aはオフセット調節用である。積分回路40B及びオフセット電圧加算増幅回路41Bはそれぞれ、積分回路40A及びオフセット電圧加算増幅回路41Aと同一構成であり、対応する構成要素には同一番号を付し、かつ、Aの代わりにBを付している。加算回路43は、演算増幅器47と、抵抗R37~R43とからなり、可変抵抗R41はオフセット調節用である。補正回路281の制御入力端Gは、一方ではアナログセクタ42及びアナログスイッチ45Aの制御入力端に接続され、他方ではインバータ48を介してアナログスイッチ45Bの制御入力端に接続されている。制御入力端Gには、リセット信号S1が供給される。

【0021】図5は、図2の電源回路13Aの動作を示す電圧波形図である。図5において、補正前の階調電位V1Dは、図2の補正回路281及び歪み検出回路291を用いずに階調電圧源27の出力端を直接、階調電位供給線131に接続した場合であり、補正前の階調電位VnDについても同様である。コモン電位VC0は、1H毎に電位VC1とVC2の一方から他方へ反転する。データバスライン18jとコモン電極ECとの間の容量が無視できる場合の階調電位V1及びVnをそれぞれV1及びVnとすると、 $V_1 - VC1 = VC2 - V_n > 0$ となっている。

【0022】(a)図1において、レジスタ25の第j桁25jの表示データが白表示を表しているとする。一方ではゲートバスライン17iがアクティブになり、他方ではコモン電位VC0の立ち上がりに同期して第jセクタ26jにより階調電位供給線131が選択される。これにより、階調電位V1がデータバスライン18j及びTFT20i jを通じて表示電極19i jに印加される。コモン電極ECとデータバスライン18jとの間の液晶容量により、コモン電位VC0の立ち上がりに引きづられて階調電位V1の電位が立ち上がり、階調電位V1の波形がオーバーシュートになる。補正電圧ΔV1Aは、階調電位V1の変化分を反転し積分したものであり、一旦下降した後、放電により徐々に上昇する。階調電位V1Dを補正電圧ΔV1Aで補正した階調電位V1は、第1近似では、

$$V1 = V1D + \alpha \Delta V1A$$

となる。ここに、 $\alpha$ は可変抵抗R36Aで調節される定数である。

【0023】時点bの直前でゲートバスライン17iがノンアクティブになり、この時点での表示電極19i jの電位が1フィールドの期間、保持される。表示電極19i jの電位は、上記補正により、第i行の表示状態によらず、すなわち階調電位V1Dの歪みによらず、一定値V1となる。したがって、第i行の表示状態によって白表示の明るさが変化するのを防止することができる。

【0024】一方、階調電位Vnは非選択であるので、一定値Vnになっている。リセット信号S1は、時点aからの1Hの間低レベルであり、図4において、アナログスイッチ45Aがオフ、アナログスイッチ45BがオンとなってコンデンサC1Aがリセットされ、かつ、アナログセクタ42がオフセット電圧加算増幅回路41Aの出力端を選択する。

【0025】(b)時点bからの1Hにおいても、レジスタ25の第j桁25jの表示データが白表示を表しているとする。時点bでiが1増加し、一方では次行のゲートバスライン17iがアクティブになり、他方ではコモン電位VC0の立ち下がりに同期して第jセクタ26jにより階調電位供給線13nが選択される。これにより、階調電位V1がデータバスライン18j及びTFT20i jを通じて表示電極19i jに印加される。コモン電極ECとデータバスライン18jとの間の液晶容量により、コモン電位VC0の立ち下がりに引きづられて階調電位Vnの電位が立ち下がり、階調電位Vnの波形がアンダーシュートになる。補正電圧ΔVnAは、階調電位Vnの変化分を反転し積分したものであり、一旦上昇した後、放電により徐々に下降する。階調電位VnDを補正電圧ΔVnAで補正した階調電位Vnは、第1近似では、

$$Vn = VnD + \alpha \Delta VnA$$

となる。ここに、 $\alpha$ は可変抵抗R36Bで調節される定数である。

【0026】時点cの直前でゲートバスライン17iがノンアクティブになり、この時点での表示電極19i jの電位が1フィールドの期間、保持される。表示電極19i jの電位は、上記補正により、第i行の表示状態によらず、すなわち階調電位VnDの歪みによらず、一定値Vnとなる。したがって、第i行の表示状態によって白表示の明るさが変化するのを防止することができる。

【0027】一方、階調電位V1は非選択であるので、一定値V1になっている。リセット信号S1は、時点bからの1Hの間高レベルであり、図4において、アナログスイッチ45Aがオン、アナログスイッチ45BがオフとなってコンデンサC1Bがリセットされ、かつ、アナログセクタ42がオフセット電圧加算増幅回路41Bの出力端を選択する。

【0028】以上の動作が、白以外の他の表示階調についても同様に繰り返され、各表示階調について、表示状態により同一階調の明るさが変化するのを防止することができる。

【第2実施例】図6は、第2実施例の補正回路281Aを示す。この補正回路281Aは、図2に示す補正回路281の代わりに用いられる。図2の補正回路282~28nについても同様である。

【0029】補正回路281Aの入力端E及びDはそれぞれ、加算反転回路50の一方及び他方の入力端に接続

されている。加算反転回路50は、演算増幅器51と、抵抗R50～53と、コンデンサC2とからなり、可変抵抗R53はゲイン調節用である。演算増幅器51の出力端は、スイッチ素子52を介して演算増幅器53の非反転入力端に接続されている。スイッチ素子52は、nMOSトランジスタ54と、抵抗R54と、ダイオード55とからなり、制御入力端が補正回路281Aの制御入力端G1に接続されている。制御入力端G1には、サンプリング信号S2が供給される。演算増幅器53は、その出力端が反転入力端に接続されてボルテージフォロアを構成している。演算増幅器53の非反転入力端は、サンプリング用のコンデンサC3の一端及びコンデンサC3をリセットするためのスイッチ素子56の一端に接続されている。コンデンサC3及びスイッチ素子56の他端は共にグランド線に接続されている。スイッチ素子56の制御入力端は、補正回路281Aの制御入力端G2に接続されている。制御入力端G2には、リセット信号S3が供給される。演算増幅器53の反転入力端は、加算反転回路50の抵抗R53及び抵抗R50を介して入力端Eに接続されている。演算増幅器53の出力端は、増幅回路57を介して補正回路281Aの出力端Fに接続されている。増幅回路57は、演算増幅器58と、抵抗R55及びR56とからなり、可変抵抗R56はゲイン調節用である。

【0030】次に、図6の回路を用いた電源回路の動作を図7に基づいて説明する。図5の説明と重複する部分は省略する。補正回路281A、及び、補正回路281Aと同一の不図示の補正回路28nAの各々について、以下の動作が行われる。

(a) リセット信号S3が高レベルとなってスイッチ素子56がオンになり、コンデンサC3の蓄積電荷が放電される。

【0031】(b) リセット信号S3が低レベルとなってスイッチ素子56がオフになり、サンプリング信号S2が高レベルとなってスイッチ素子52がオンになり、演算増幅器51の出力電圧 $\Delta V1A$ がコンデンサC3に印加され、コンデンサC3が充電される。補正電圧 $\Delta V1A$ は、時点bでの補正前の階調電位 $V1D$ を反転し定数倍したものになっており、階調電位 $V1D$ の電圧歪みの大きさを表している。

【0032】(c) サンプリング信号S2が低レベルとなってスイッチ素子52がオフになり、コンデンサC3の電圧が時点dまで保持される。時点dの直前で、上記第1実施例と同様に、階調電位 $V1D$ を補正電圧 $\Delta V1A$ で補正した階調電位 $V1$ は、第1近似では、

$$V1 = V1D + \beta \Delta V1A$$

となり、階調電位 $VnD$ を補正電圧 $\Delta VnA$ で補正した階調電位 $Vn$ は、第1近似では、

$$Vn = VnD + \beta \Delta VnA$$

となる。ここに、 $\beta$ は可変抵抗R56で調節される定数

である。

【0033】以上の動作が繰り返し行われる。この第2実施例によっても、上記第1実施例と同様に、各表示階調について、表示状態により同一階調の明るさが変化するのを防止することができる。第2実施例の補正回路281Aでは、コンデンサC3のリセットとコンデンサC3によるサンプリングを時分割で行っているため、第1実施例の補正回路281よりも構成が簡単である。

【0034】[第3実施例] 図8は、第3実施例の電源回路13Bを示す。この電源回路13Bは、図2に示す電源回路13Aの代わりに用いられる。表示データDATAは、一方で図1の制御回路23からシフトレジスタ24に供給されると同時に、他方でデコード60によりデコードされ、 $D1 \sim Dn$ の1つが‘1’となる。データ $D1 \sim Dn$ はそれぞれ、歪み検出回路291A～29nAの入力端に供給される。歪み検出回路291A～29nAは互いに同一構成であり、歪み検出回路291Aは、データD1を計数するカウンタ61と、カウンタ61の計数値をアナログ化するD/A変換器62と、D/A変換器62の出力電位をその符号を反転した電位にする反転回路63とを有する。歪み検出回路291A～29nAの出力端はそれぞれ、加算器281B～28nBの一方の入力端に供給され、加算器281B～28nBの他方の入力端にはそれぞれ階調電圧源27から階調電位 $V1 \sim Vn$ が供給される。加算器281B～28nBの出力端はそれぞれ、図1の階調電位供給線131～13nの一端に接続される。歪み検出回路291A～29nAのカウンタ61は、図1の制御回路23により1H毎にゼロクリアされる。

【0035】1行分の表示データDATAが図1のシフトレジスタ24に転送され、レジスタ25に保持された時点で、この1行分の表示データDATAに対する加算器281B～28nBの出力 $V1$ 、 $i=1 \sim n$ 、 $V1 = V10 + \gamma \Delta V1A$ が定まっている。ここに $\gamma$ は、歪み検出回路291A～29nAのD/A変換器62の出力段で調節される定数である。

【0036】この第3実施例によっても、上記第1実施例と同様に、各表示階調について、表示状態により同一階調の明るさが変化するのを防止することができる。第3実施例の電源回路13Bは、階調電位 $V10 \sim Vn0$ をフィードフォワード制御で補正しているため、フィードバック制御を行っている上記第1及び第2の実施例よりも制御の速応性に優れている。また、フィードフォワード制御にデジタルの表示データDATAを用いているため、上記第1及び第2の実施例よりも制御が正確となる。

【0037】[第4実施例] 図9は、第4実施例の電源回路13Cを示す。この電源回路13Cは、図2の電源回路13Aの代わりに用いられる。コモン電位VC0の



反転の際に階調電位 $V_1 \sim V_n$ がコモン電位 $VC_0$ に引きずられるのと同時に、コモン電位 $VC_0$ も階調電位 $V_1 \sim V_n$ に引きずられて、コモン電位 $VC_0$ の立ち上がり及び立ち下りの傾斜が緩やかになる。このコモン電位 $VC_0$ の歪み量は、階調電位 $V_{10} \sim V_{n0}$ と同様に表示状態により異なるので、コモン電位 $VC_0$ も階調電位 $V_{10} \sim V_{n0}$ と同様に補正すれば、表示状態により同一階調の明るさが変化するのをより完全に防止することができる。

【0038】そこで、この第4実施例では、階調電圧源27からのコモン電位 $VC_0$ を、抵抗 $R_1$ と補正回路281と歪み検出回路291とからなる構成と同一の、抵抗 $R_0$ と補正回路280と歪み検出回路290とを用いて、補正している。図9では、歪み検出回路290の出力を $\Delta VC$ で表し、補正回路280の出力を $VCA$ で表している。

【0039】他の点は、上記第1実施例と同一である。

【第5実施例】図10は、第5実施例の電源回路の一部を示す。この回路は、コモン電位 $VC_0$ をフィードフォワード制御で補正する部分であり、例えば図8の回路と共にアクティブマトリックス型液晶表示装置に用いられる。

【0040】表示データ $DATA$ は、一方で図1の制御回路23からシフトレジスタ24に供給されると同時に、他方でテーブルROM64のアドレス入力端に供給される。テーブルROM64は、表示データ $DATA$ を、液晶表示の明るさに対応した液晶印加電圧のデータに変換する。変換されたデータは、加算器65とレジスタ66とからなる累積加算器67により、1行分が累積加算される。累積加算器67の出力は、 $D/A$ 変換器62Aでアナログ化された後、反転回路63Aにより絶対値が等しく符号のみを反転した値 $\Delta VC$ にされる。これら累積加算器67と、 $D/A$ 変換器62Aと、反転回路63Aとで、歪み検出回路290Aが構成されている。歪み検出回路290Aの出力 $\Delta VC$ と、図8の階調電圧源27からのコモン電位 $VC_0$ とは、加算器280Aに供給されて加算され、コモン電位 $VC$ としてコモン電極 $EC$ へ印加される。

【0041】1行分の表示データ $DATA$ が図1のシフトレジスタ24に転送され、レジスタ25に保持された時点で、この1行分の表示データ $DATA$ に対する加算器280Aの出力 $VC$ 、 $VC = VC_0 + \lambda \Delta VC$

が定まっている。ここに入は、 $D/A$ 変換器62Aの出力段で調節される定数である。

【0042】この第5実施例によっても、上記第4実施例と同様に、表示状態により同一階調の明るさが変化するのをより完全に防止することができる。第5実施例では、コモン電位 $VC_0$ をフィードフォワード制御で補正しているの、フィードバック制御を行っている上記第

4実施例よりも制御の速応性に優れている。また、フィードフォワード制御にデジタルの表示データ $DATA$ を用いているので、上記第4実施例よりも制御が正確となる。

【0043】【第6実施例】図11(A)は、第6実施例のコモン電位発生回路70を示す。コモン電位発生回路70は、例えば図2の階調電圧源27の構成要素である。鋸波生成回路71は、例えば、カウンタと、カウンタでアドレス指定されるROMで構成されており、図11(C)に示すような鋸波 $VA$ を生成し出力する。この鋸波 $VA$ は、 $D/A$ 変換器72に供給されてアナログ化され、セクタ73の一方の入力端及び反転回路74の入力端に供給される。反転回路74の出力は、セクタ73の他方の入力端に供給され、セクタ73の出力端からコモン電位 $VC_0$ が取り出される。セクタ73は、鋸波生成回路71からの、図11(B)に示す選択信号 $S$ が高レベルのとき、鋸波 $VA$ を選択してこれをコモン電位 $VC_0$ とし、選択信号 $S$ が低レベルのとき、反転鋸波 $VB$ を選択してこれをコモン電位 $VC_0$ とする。これにより、コモン電位 $VC_0$ は、図11(E)に示す如くなる。

【0044】この第6実施例によれば、コモン電位 $VC_0$ の立ち上がり及び立ち下りの傾斜を緩やかにすることができるので、コモン電位 $VC_0$ が反転する際の階調電位 $V_1 \sim V_n$ への影響を小さくすることができる。

【0045】

【発明の効果】以上説明した如く、第1発明に係るアクティブマトリックス型液晶表示パネル駆動方法によれば、コモン電位が反転する直前に階調電位の歪みが0になるように該階調電位が補正されるため、表示電極に該階調電位が保持される時点で、データバスラインとコモン電極との間の液晶容量により歪む該階調電位の歪み量が表示状態によらず略0となり、表示状態により同一階調の明るさが変化するという画質の劣化を防止することができるという効果を奏し、液晶表示パネルの表示品質の向上に寄与するところが大きい。

【0046】第1発明の第1態様によれば、コモン電位反転の際にコモン電位が階調電位に引きずられて歪みむのが補正され、表示状態により同一階調の明るさが変化するのをより完全に防止することができるという効果を奏する。第2発明によれば、階調電位をフィードフォワード制御で補正しているの、フィードバック制御を行っている上記第1発明よりも制御の速応性に優れているという効果を奏する。

【0047】第2発明の第1態様によれば、コモン電位をフィードフォワード制御で補正しているの、フィードバック制御を行っている第1発明の第1態様よりも制御の速応性に優れているという効果を奏する。第1及び第2の発明の第2態様では、例えば図11に示す如く、コモン電位の立ち上がりと立ち下りの傾斜を緩やかに

している。

【0048】第1及び第2の発明の第2態様によれば、コモン電位の立ち上がり及び立ち下りの傾斜を緩やかにしているため、コモン電位が反転する際の階調電位への影響を小さくすることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1実施例のアクティブマトリクス型液晶表示装置のブロック図である。

【図2】図1中の電源回路の構成例を示すブロック図である。

【図3】図2中の歪み検出回路の構成例を示す図である。

【図4】図2中の補正回路の構成例を示す図である。

【図5】図2の電源回路の動作を示す電圧波形図である。

【図6】本発明の第2実施例の補正回路を示す図である。

【図7】図6の回路を用いた電源回路の動作を示す電圧波形図である。

【図8】本発明の第3実施例の電源回路のブロック図である。

【図9】本発明の第4実施例の電源回路のブロック図である。

【図10】本発明の第5実施例の電源回路の一部を示すブロック図である。

【図11】(A)は本発明の第6実施例の電源回路の一

部を示すブロック図であり、(B)～(E)は(A)の回路の動作を示す電圧波形図である。

【図12】従来技術の問題点説明図である。

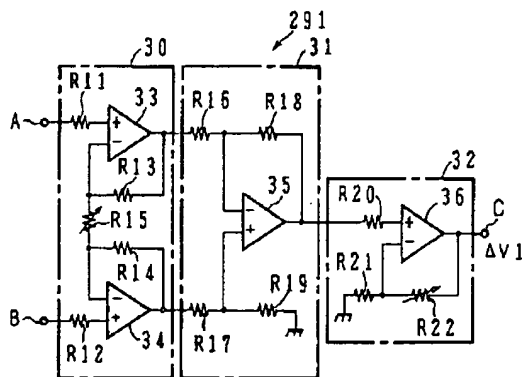
【図13】従来技術の問題点を説明するための電圧波形図である。

【符号の説明】

- 10 液晶表示パネル
- 11、12 基板
- 13、13A～13C 電源回路
- 131～13n 階調電位供給線
- 171 ゲートバスライン
- 181 データバスライン
- 191j 表示電極
- 201j TFT
- 21 スキャンドライバ
- 22 データドライバ
- 23 制御回路
- 24 シフトレジスタ
- 25 レジスタ
- 26、73 セレクタ
- 27 階調電圧源
- 280～28n 補正回路
- 290～29n、290A、291A 歪み検出回路
- 30、32 増幅回路
- 31 反転回路
- 40A、40B 積分回路
- 41A、41B オフセット電圧加算増幅回路

【図3】

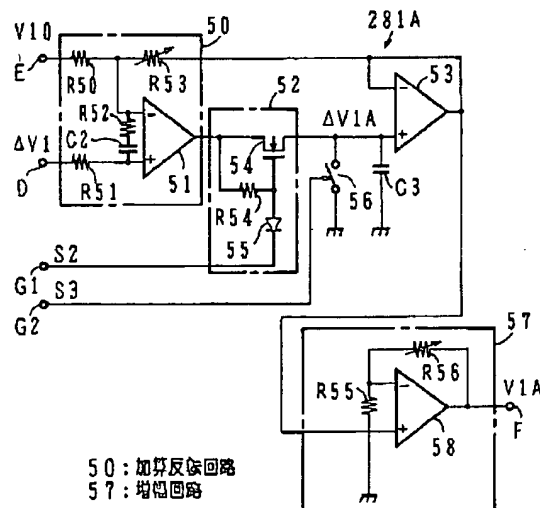
図2中の歪み検出回路の構成例を示す図



291: 歪み検出回路  
30, 32: 増幅回路  
31: 反転回路

【図6】

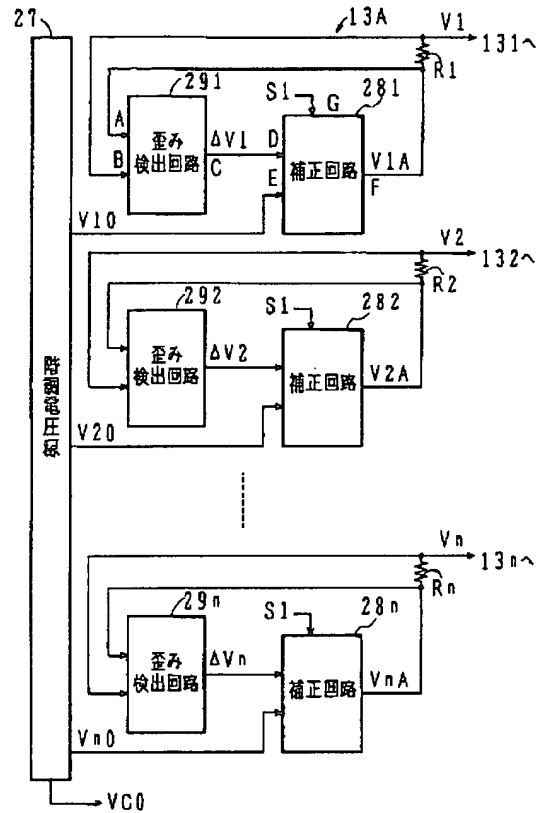
本発明の第2実施例の補正回路を示す図



50: 加算反転回路  
57: 増幅回路

【図2】

図1中の電源回路の構成例を示すブロック図

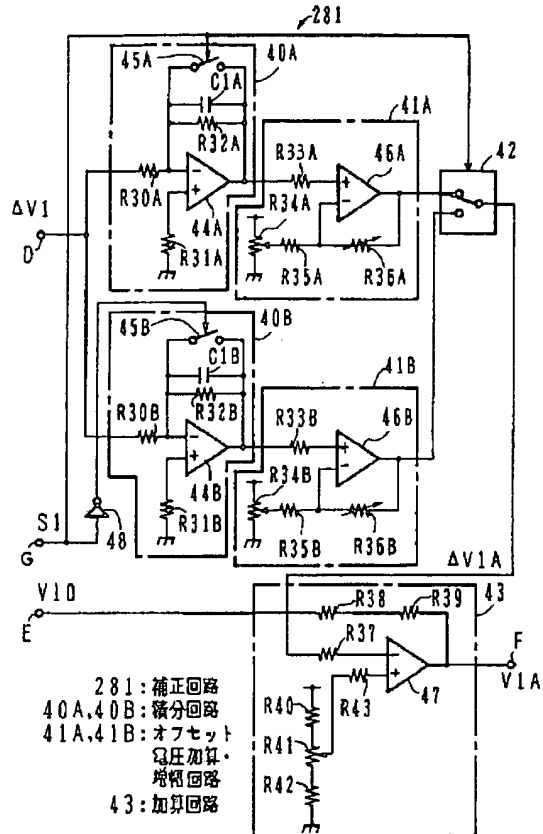


### 従来技術の問題点説明図



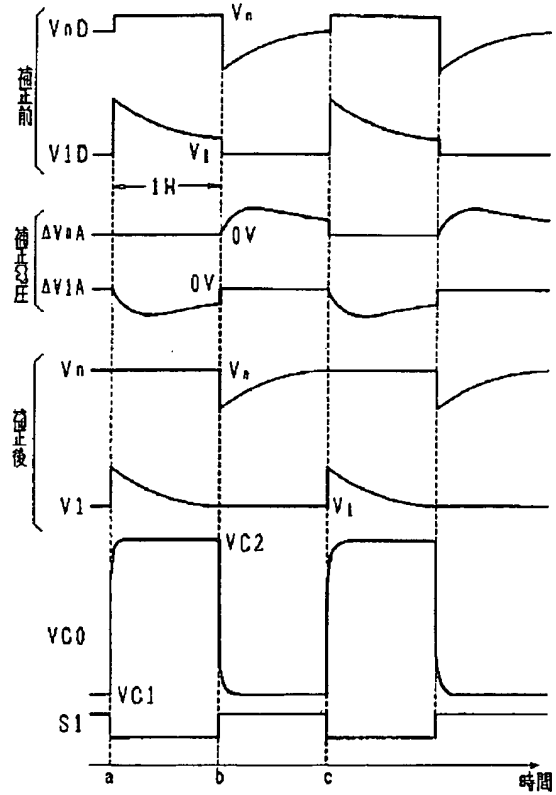
【図4】

図2中の補正回路の構成例を示す図



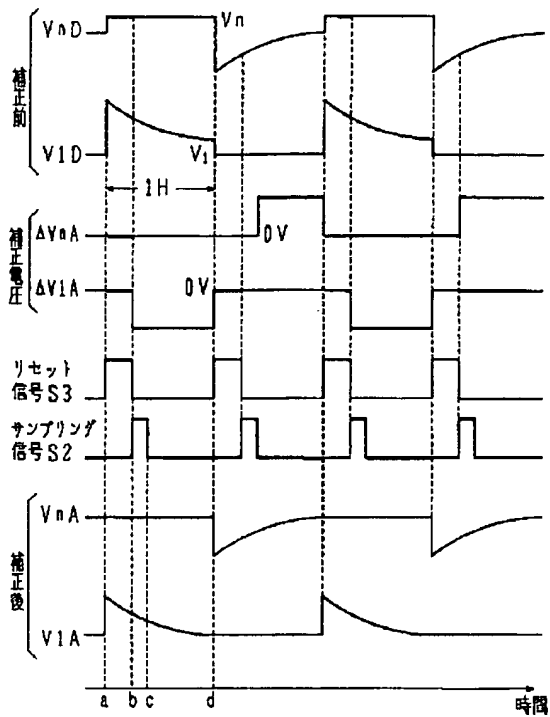
【図5】

図2の電源回路の動作を示す電圧波形図



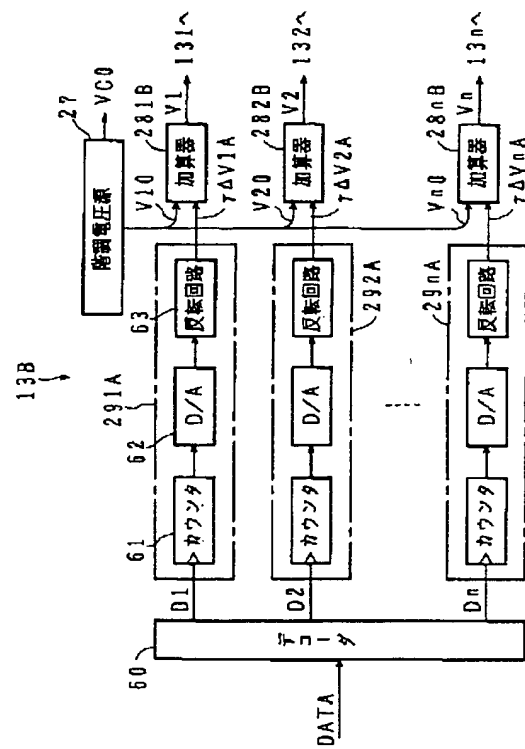
【図7】

図6の回路を用いた電源回路の動作を示す電圧波形図



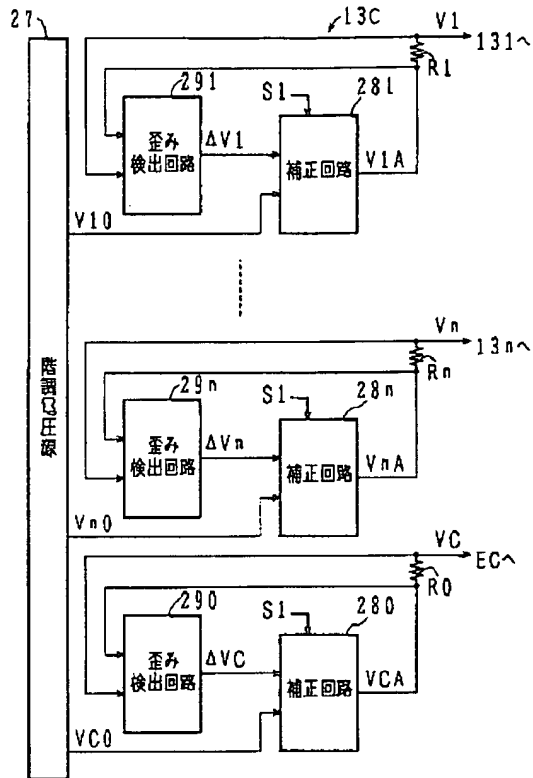
【図8】

本発明の第3実施例の電源回路のブロック図



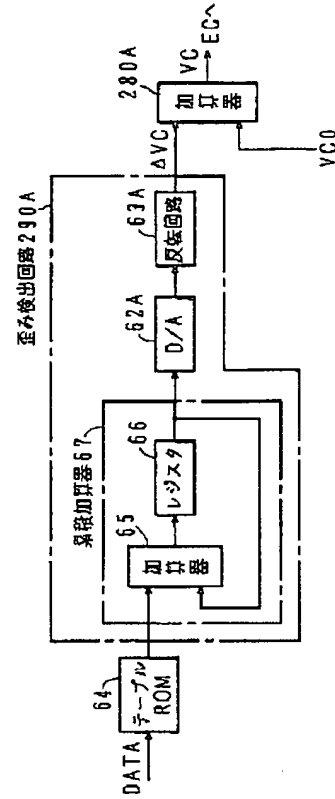
【図9】

本発明の第4実施例の電源回路のブロック図



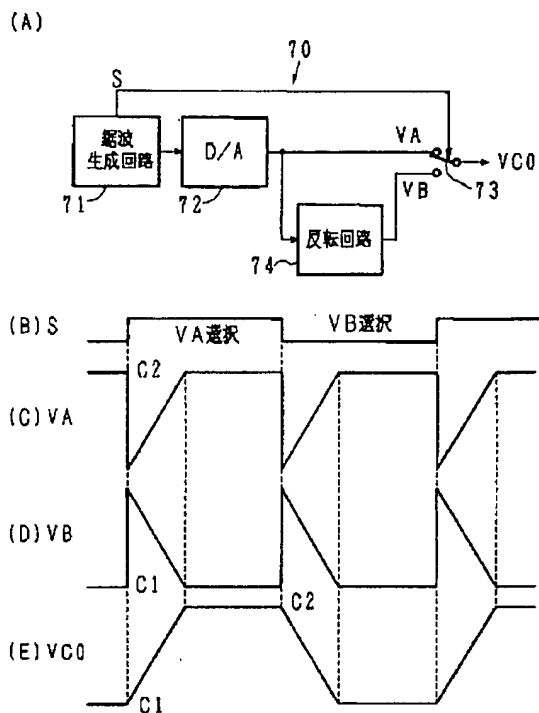
【図10】

本発明の第5実施例の電源回路の一部を示すブロック図



【図 11】

本発明の第 6 実施例の電源回路の一部及び  
その動作を示す図



【図 13】

従来技術の問題点を説明するための電圧波形図

